

DERWENT-ACC-NO: 2000-248879

DERWENT-WEEK: 200023

COPYRIGHT 2007 DERWENT INFORMATION LTD

TITLE: Thin film transistor for active matrix liquid crystal display panel, involves forming gate electrode on channel layer, with source-drain areas on its either sides

PATENT-ASSIGNEE: FUJITSU LTD[FUIT]

PRIORITY-DATA: 1998JP-0202099 (July 16, 1998)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP <u>2000031493</u> A	January 28, 2000	N/A	009	H01L 029/786

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP2000031493A	N/A	1998JP-0202099	July 16, 1998

INT-CL (IPC): H01L021/336, H01L029/786

ABSTRACTED-PUB-NO: JP2000031493A

BASIC-ABSTRACT:

NOVELTY - A semiconductor layer is formed on a glass substrate (10), which is etched to form a channel layer (14) with a taper edge cross section. A gate electrode (18) is formed across the channel layer and the source-drain areas (22) are formed on either sides of the gate electrode. DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for the manufacturing method of thin film transistor.

USE - Used as switching element for pixels of active matrix liquid crystal display panel.

ADVANTAGE - Ensures favorable drain current-gate voltage characteristics. Satisfactory step coverage of gate insulating film can be performed, as the

edge cross section of channel layer is tapering. Prevents leak current flowing in the edge near field region of channel layer. DESCRIPTION OF DRAWING(S) - The diagram shows the manufacturing method of thin film transistor. (10) Glass substrate; (14) Channel layer; (18) Gate electrode; (22) Source area.

CHOSEN-DRAWING: Dwg.1/9

TITLE-TERMS: THIN FILM TRANSISTOR ACTIVE MATRIX LIQUID CRYSTAL
DISPLAY PANEL

FORMING GATE ELECTRODE CHANNEL LAYER SOURCE DRAIN
AREA SIDE

DERWENT-CLASS: L03 U12 U14

CPI-CODES: L03-G05A; L04-C11C; L04-E01;

EPI-CODES: U12-B03A; U14-H01A; U14-K01A2B;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2000-075556

Non-CPI Secondary Accession Numbers: N2000-186442

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-31493

(P2000-31493A)

(43)公開日 平成12年1月28日(2000.1.28)

(51)IntCl'	識別記号	F I	キーワード(参考)
H 0 1 L 29/786		H 0 1 L 29/78	6 1 8 C
21/336			6 1 7 J
			6 2 7 C

審査請求 未請求 請求項の数4 頁 全 9 頁

(21)出願番号	特願平10-202099	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番1号
(22)出願日	平成10年7月16日(1998.7.16)	(72)発明者	堀 哲郎 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72)発明者	大堀 達也 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(74)代理人	100087479 弁理士 北野 好人

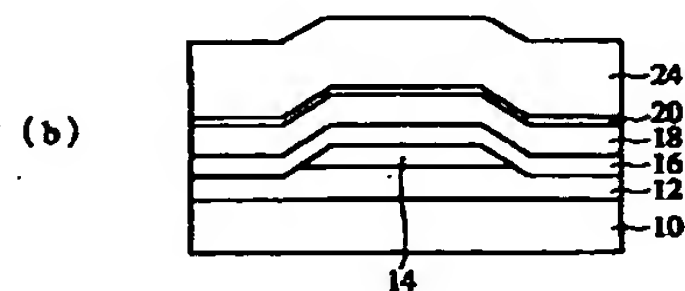
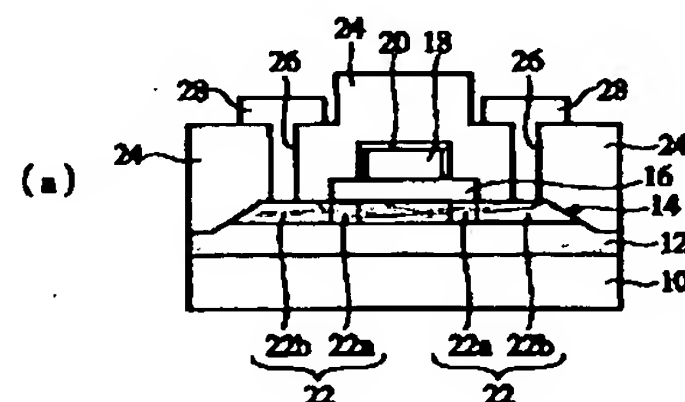
(54)【発明の名称】 薄膜トランジスタ及びその製造方法

(57)【要約】

【課題】 良好なドレイン電流-ゲート電圧特性を有する薄膜トランジスタ及びその製造方法を提供する。

【解決手段】 下地基板10上に形成され、端部の断面のテーパ角が10°～45°であるチャネル層14と、下地基板10上及びチャネル層14上に形成され、チャネル層14に交差するゲート電極18と、ゲート電極18の両側のチャネル層14に形成されたソース/ドレイン領域22とを有している。

本発明の一実施形態による薄膜トランジスタを示す断面図



10…ガラス基板
12…シリコン酸化膜
14…チャネル層
16…ゲート絶縁膜
18…ゲート電極
20…絶縁酸化膜
22…ソース/ドレイン領域
22a…低濃度領域
22b…高濃度領域
24…接触パッド
26…コンタクトホール
28…ソース/ドレイン電極

【特許請求の範囲】

【請求項1】 下地基板上に形成され、端部の断面のテーパ角が $10^{\circ} \sim 45^{\circ}$ であるチャンネル層と、前記下地基板上及び前記チャンネル層上に形成され、前記チャンネル層に交差するゲート電極と、前記ゲート電極の両側の前記チャンネル層に形成されたソース/ドレイン領域とを有することを特徴とする薄膜トランジスタ。

【請求項2】 下地基板上に半導体層を形成する半導体層形成工程と、

前記半導体層をエッチングし、前記半導体層より成り、端部の断面がテーパ状であるチャンネル層を形成するエッチング工程と、

前記下地基板上及び前記チャンネル層上に、前記チャンネル層に交差するゲート電極を形成するゲート電極形成工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項3】 請求項2記載の薄膜トランジスタの製造方法において、

前記エッチング工程では、前記チャンネル層の端部の断面のテーパ角が $10^{\circ} \sim 45^{\circ}$ となるように前記半導体層をエッチングすることを特徴とする薄膜トランジスタの製造方法。

【請求項4】 請求項2又は3記載の薄膜トランジスタの製造方法において、

前記エッチング工程では、 CF_4 ガス及び O_2 ガス、又は Cl_2 ガス及び O_2 ガスをエッチングガスとして前記半導体層をエッチングすることを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタ及びその製造方法に係り、特に良好なドレイン電流—ゲート電圧特性を有する薄膜トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】薄膜トランジスタ(TFT、Thin Film Transistor)は、省電力、省スペース、応答速度の速さ、表示の美しさ等の理由から、アクティブマトリクス型の液晶表示パネルの画素用のスイッチング素子として広く用いられている。従来の薄膜トランジスタについて、図7を用いて説明する。図7は、従来の薄膜トランジスタを示す断面図である。図7(a)は従来の薄膜トランジスタのチャンネル層の延在方向に沿った断面図であり、図7(b)は従来の薄膜トランジスタのゲート電極の延在方向に沿った断面図である。

【0003】図7(a)に示すように、ガラス基板110上にはシリコン酸化膜112が形成されており、シリコン酸化膜112上にはチャンネル層114が形成されている。チャンネル層114上にはゲート絶縁膜116が形

成されており、ゲート絶縁膜116上にはゲート電極118が形成されている。チャンネル層114にはゲート電極118に自己整合で低濃度領域122aが形成されており、ゲート絶縁膜116に自己整合で高濃度領域122bが形成されており、低濃度領域122aと高濃度領域122bとによりソース/ドレイン領域122が構成されている。

【0004】そして全面に、層間絶縁膜124が形成されている。層間絶縁膜124には、層間絶縁膜124表面から高濃度領域122bに達するコンタクトホール126が形成されており、ソース/ドレイン電極128がコンタクトホール126を介して高濃度領域122bに接続されている。

【0005】

【発明が解決しようとする課題】しかしながら、上記のような従来の薄膜トランジスタでは、オフ領域において良好なドレイン電流 I_D —ゲート電圧 V_G 特性が得られなかった。即ち、図8に示すように、オフ領域のドレイン電流 I_D が不安定であり、ゲート電圧 V_G が低くなるに伴ってドレイン電流 I_D が増加してしまっていた。

【0006】本発明の目的は、良好なドレイン電流—ゲート電圧特性を有する薄膜トランジスタ及びその製造方法を提供することにある。

【0007】

【課題を解決するための手段】上記目的は、下地基板上に形成され、端部の断面のテーパ角が $10^{\circ} \sim 45^{\circ}$ であるチャンネル層と、前記下地基板上及び前記チャンネル層上に形成され、前記チャンネル層に交差するゲート電極と、前記ゲート電極の両側の前記チャンネル層に形成されたソース/ドレイン領域とを有することを特徴とする薄膜トランジスタにより達成される。これにより、チャンネル層の端部の断面がテーパ状に形成されているので、ゲート絶縁膜のステップカバレッジを良好にすることができ、また、端部に加わるダメージを抑制するようにチャンネル層がエッチングされているので、チャンネル層の端部近傍領域においてリーク電流が多く流れてしまうのを抑制することができる。チャンネル層の端部近傍領域においてリーク電流が生じてしまうのを抑制することができるので、良好なドレイン電流 I_D —ゲート電圧 V_G 特性を得ることができる。

【0008】また、上記目的は、下地基板上に半導体層を形成する半導体層形成工程と、前記半導体層をエッチングし、前記半導体層より成り、端部の断面がテーパ状であるチャンネル層を形成するエッチング工程と、前記下地基板上及び前記チャンネル層上に、前記チャンネル層に交差するゲート電極を形成するゲート電極形成工程とを有することを特徴とする薄膜トランジスタの製造方法により達成される。これにより、チャンネル層の端部の断面をテーパ状に形成するので、ゲート絶縁膜のステップカバレッジを良好にすることができ、また、端部に加わるダ

メージを抑制するようにチャネル層をエッチングすることができる。従って、チャネル層の端部近傍領域においてリーク電流が多く流れてしまうのを防止することができ、良好なドレイン電流 I_D -ゲート電圧 V_G 特性を有する薄膜トランジスタを製造することができる。

【0009】また、上記の薄膜トランジスタの製造方法において、前記エッチング工程では、前記チャネル層の端部の断面のテーパ角が $10^\circ \sim 45^\circ$ となるように前記半導体層をエッチングすることが望ましい。また、上記の薄膜トランジスタの製造方法において、前記エッチング工程では、 CF_4 ガス及び O_2 ガス、又は Cl_2 ガス及び Ar ガスをエッチングガスとして前記半導体層をエッチングすることが望ましい。

【0010】

【発明の実施の形態】本願発明者らは、薄膜トランジスタのオフ領域において良好なドレイン電流 I_D -ゲート電圧 V_G 特性が得られない原因を分析すべく、従来の薄膜トランジスタのOBIC (Optical Beam Induced Current spectroscopy) 電流分布を測定した。

【0011】OBIC電流分布とは、レーザ光を供試体に照射することにより供試体に流れているキャリア、即ち電子・正孔を励起し、励起されたキャリアを検出することにより得られる電流分布である。検出すべきしきい値を予め設定しておけば、しきい値以上の電流が流れている領域の分布を観測することができる。従って、OBIC電流分布から、供試体において電流が多く流れている領域、即ち、強い電界が加わっている領域を観測することができる。

【0012】図9は、従来の薄膜トランジスタのOBIC電流分布を示す概念図であって、紙面上側のソース電極128の電位 V_s を0V、紙面下側のドレイン電極128の電位 V_D を+5Vとし、ゲート電極118の電位 V_G を-5Vとした場合のOBIC電流分布を示したものである。図9は、nチャネル型の薄膜トランジスタを例として示したものであり、OBIC電流が観測された領域、即ちしきい値以上の電流が流れている領域が黒く塗りつぶすことにより示されている。

【0013】図9に示すように、従来の薄膜トランジスタでは、チャネル層114の端部近傍領域においてOBIC電流が観測された。即ち、チャネル層114の端部近傍領域においてリーク電流が多く流れている。チャネル層114の端部近傍領域においてリーク電流が多く流れているのは、図7(b)に示すように、チャネル層114上に形成されたゲート絶縁膜116のカバレッジが良好でないため、また、チャネル層114を形成する際に用いる異方性の高いエッチングによりチャネル層114の端部近傍領域にダメージが加わるためと考えられる。ダメージを受けたチャネル層114の端部近傍領域では欠陥が生じているため、ドナーが活性化しにくい。従って、ダメージを受けているチャネル層114の端部

近傍領域では、ダメージを受けていない領域に比べて強い電界が加わることとなる。

【0014】本発明は上記検討に鑑みて為されたものであって、ゲート絶縁膜のステップカバレッジを良好なものとし、また、チャネル層を形成する際にチャネル層の端部近傍領域にダメージが加わるのを抑制することに主な特徴があるものである。本発明の一実施形態による薄膜トランジスタ及びその製造方法を図1乃至図6を用いて説明する。図1は、本実施形態による薄膜トランジスタを示す断面図である。図1(a)は薄膜トランジスタのチャネル層の延在方向に沿った断面図であり、図1(b)は薄膜トランジスタのゲート電極の延在方向に沿った断面図である。図2は、本実施形態による薄膜トランジスタのOBIC電流分布を示す概念図である。図3は、本実施形態による薄膜トランジスタのドレイン電流 I_D -ゲート電圧 V_G 特性を示すグラフである。図4乃至図6は、本実施形態による薄膜トランジスタの製造方法を示す工程断面図である。

【0015】(薄膜トランジスタ) 図1に示すように、ガラス基板10上には、膜厚200nmのシリコン酸化膜12が形成されており、シリコン酸化膜12上には、膜厚50nmの多結晶シリコン膜より成り、端部の断面がテーパ状であるチャネル層14が形成されている。チャネル層14上には、膜厚120nmのシリコン酸化膜より成るゲート絶縁膜16が形成されている。

【0016】本実施形態による薄膜トランジスタは、チャネル層14の端部の断面がテーパ状に形成されていることに主な特徴があるものであって、チャネル層14の端部の断面がテーパ状に形成されているため、図1

(b)に示すように、良好なステップカバレッジでゲート絶縁膜16が形成されている。チャネル層14の端部の断面のテーパ角は、ゲート絶縁膜16のステップカバレッジを良好なものにすることができるよう例えば $10^\circ \sim 45^\circ$ に適宜設定されており、より望ましくは $15^\circ \sim 30^\circ$ に設定されている。

【0017】ゲート絶縁膜16が良好なステップカバレッジで形成されているので、チャネル層14の端部近傍領域においてリーク電流が多く流れてしまうのを抑制することができ、これにより良好なドレイン電流 I_D -ゲート電圧 V_G 特性を得ることができる。ゲート絶縁膜16上にはゲート電極18が形成されており、ゲート電極18の表面には陽極酸化膜20が形成されている。

【0018】チャネル層14には、陽極酸化膜20が形成されたゲート電極18に自己整合で低濃度領域22aが形成されており、ゲート絶縁膜16に自己整合で高濃度領域22bが形成されており、低濃度領域22aと高濃度領域22bとによりソース/ドレイン領域22が構成されている。更に全面に、層間絶縁膜24が形成されている。層間絶縁膜24には、層間絶縁膜24表面から高濃度領域22bに達するコンタクトホール26が形成

されており、ソース/ドレイン電極28がコンタクトホール26を介して高濃度領域26bに接続されている。

【0019】(電気的特性)上記のような薄膜トランジスタの電気的特性について、図2及び図3を用いて説明する。図2は本実施形態による薄膜トランジスタのOBIC電流分布を示す概念図である。図3は、本実施形態による薄膜トランジスタのドレイン電流 I_D -ゲート電圧 V_G 特性を示すグラフである。

【0020】本実施形態による薄膜トランジスタのOBIC電流分布を測定したところ、図2のような測定結果10が得られた。図2は、紙面上側のソース電極28の電位 V_S を0V、紙面下側のドレイン電極28の電位 V_D を+5Vとし、ゲート電極18の電位 V_G を-5Vとした場合のOBIC電流分布を示したものである。図2は、nチャネル型の薄膜トランジスタを例として示したものであり、OBIC電流が観測された領域、即ち、しきい値以上の電流が流れている領域が黒く塗りつぶすことにより示される。

【0021】図2に示すように、本実施形態による薄膜トランジスタでは、OBIC電流は観測されなかった。20従来の薄膜トランジスタでは、図9に示すようなOBIC電流分布が観測され、リーク電流はチャネル層114の端部近傍領域において多く流れていたが、本実施形態による薄膜トランジスタでは、予め設定したしきい値以上のリーク電流は流れていず、OBIC電流は観測されなかった。即ち、本実施形態の薄膜トランジスタでは、チャネル層14の端部近傍領域においてリーク電流が多く流れてしまうのが抑制されている。

【0022】このような本実施形態による薄膜トランジスタのドレイン電流 I_D -ゲート電圧 V_G 特性を測定した30ところ、図3に示すようなドレイン電流 I_D -ゲート電圧 V_G 特性が得られた。即ち、本実施形態による薄膜トランジスタでは、図3に示すように、ゲート電圧 V_G が低くなってもドレイン電流 I_D が増加してしまうことなく、ドレイン電流 I_D はほぼ一定値に安定している。従来の薄膜トランジスタでは、図8に示すように、ゲート電圧 V_G が低くなるに伴いドレイン電流 I_D が増加してしまっただが、本実施形態による薄膜トランジスタでは、ゲート電圧 V_G が低くなってもドレイン電流 I_D は増加しない。本実施形態による薄膜トランジスタのドレイン電40流 I_D が安定しているのは、チャネル層14の端部近傍領域においてリーク電流が多く流れてしまうことが抑制されるためと考えられる。

【0023】このように、本実施形態によれば、チャネル層の端部の断面がテーパー状に形成されているので、ゲート絶縁膜のステップカバレッジを良好にすることができ、これにより、チャネル層の端部近傍領域においてリーク電流が多く流れてしまうのを抑制することができる。チャネル層の端部近傍領域においてリーク電流が生45じてしまうのを抑制することができるので、本実施形態

によれば、良好なドレイン電流 I_D -ゲート電圧 V_G 特性を得ることができる。

【0024】(薄膜トランジスタの製造方法)次に、本実施形態による薄膜トランジスタの製造方法を図4乃至図6を用いて説明する。図4乃至図6において、左側は薄膜トランジスタのチャネル層の延在方向に沿った断面図であり、右側は薄膜トランジスタのゲート電極の延在方向に沿った断面図である。

【0025】まず、ガラス基板10上に、プラズマCVD (Plasma enhanced Chemical Vapor Deposition、プラズマ化学気相成長) 法により膜厚200nmのシリコン酸化膜12を形成する。次に、シリコン酸化膜12上に、プラズマCVD法により、膜厚50nmの多結晶シリコン膜より成るチャネル層14を形成する(図4(a)参照)。

【0026】次に、チャネル層14をパターニングするためのフォトリソグマスク30を、フォトリソグラフィ技術により形成する(図4(b)参照)。次に、フォトリソグマスク30をマスクとして、ドライエッチングによりチャネル層14をエッチングする(図4(c)参照)。この際、異方性の低い条件でエッチングを行う。異方性の低い条件でエッチングを行うことにより、フォトリソグマスク30やシリコン酸化膜12をもエッチングしながらチャネル層14がエッチングされ、チャネル層14の端部の断面がかなりなだらかなテーパー状に形成される。

【0027】エッチングガスとしては、 CF_4 ガスと O_2 ガスを用いることができる。エッチング条件は、例えば、 CF_4 ガスの流量を50sccm、 O_2 ガスの流量を33sccmとし、エッチング室内の圧力を4Pa、パワーを1kWとすればよい。 O_2 ガスの流量を増やすほどフォトリソグマスク30がエッチングされやすくなるので、 O_2 ガスの流量を調整することによりチャネル層14の端部の断面のテーパー角を適宜設定することができる。

【0028】なお、エッチングガスは CF_4 ガス及び O_2 ガスに限定されるものではなく、 CF_4 ガスの代わりに、例えば Cl_2 ガス等を用いてもよい。エッチングガスとして例えば Cl_2 ガス及び O_2 ガスを用いる場合には、例えば、 Cl_2 ガスの流量は180sccm、 O_2 ガスの流量は20sccmとすればよい。また、チャネル層14をエッチングする際のエッチング条件は上記に限定されるものではなく、チャネル層14の端部の断面をテーパー状にすることができ、チャネル層14の端部近傍領域へのダメージを抑制することができるならば適宜設定することができ、例えば、エッチング室内の圧力を4~13Pa、パワーを800W~1kWの範囲で設定してもよい。

【0029】また、チャネル層14の端部の断面のテーパー角は、後工程でチャネル層14上に形成されるゲート50

絶縁膜16のステップカバレッジを良好にすることができるように適宜設定すればよく、例えば $10^{\circ} \sim 45^{\circ}$ に設定することができる。但し、チャンネル層14の端部の断面のテーパ角を極端に小さく設定するのはデバイス設計上困難であり、また、テーパ角を大きくするほどゲート絶縁膜16のステップカバレッジが悪くなるので、 $15^{\circ} \sim 30^{\circ}$ 程度に設定することが望ましい。

【0030】なお、上記のような条件、即ち異方性の低い条件でチャンネル層14をエッチングするので、チャンネル層14の端部近傍領域に加わるダメージを抑制することができる。次に、全面に、プラズマCVD法により、膜厚120nmのシリコン酸化膜より成るゲート絶縁膜16を形成する。チャンネル層14の端部の断面がテーパ状に形成されているので、ゲート絶縁膜16のステップカバレッジを良好にすることができる(図4(d)参照)。

【0031】次に、全面に、スパッタ法により膜厚300nmのアルミニウム膜を形成する。次に、フォトリソグラフィ技術により、アルミニウム膜をパターニングすることによりゲート電極18を形成する。ゲート電極18の幅は、例えば4 μ mとすることができる。

【0032】次に、陽極酸化法により、ゲート電極18の表面に膜厚120nmの陽極酸化膜20を形成する。陽極酸化膜20は、後工程での熱処理等によりゲート電極18の表面にヒロック等が生じてしまうのを防止するためのものである(図5(a)参照)。次に、フォトリソグラフィ技術により、ゲート絶縁膜16をパターニングする。パターニングには、ドライエッチングを用いることができる。ゲート絶縁膜16の幅は例えば6 μ m、即ち、図5(b)の紙面左側の図において、ゲート電極18の幅よりも左右に1 μ mずつ広くなるように形成すればよい。エッチングガスとしては、例えば CHF_3 を用いることができる。エッチング条件は、例えば、ガス流量を200sccmとし、エッチング室内の圧力を3Pa、パワーを1.4kWとすればよい(図5(b)参照)。

【0033】次に、イオン注入法により、陽極酸化膜20が形成されたゲート電極18に自己整合で不純物イオンを注入し、この後、熱処理を行うことにより低濃度領域22aを形成する。加速電圧は例えば70keV、ドーズ量は例えば $1.0 \times 10^{14} \text{ ion/cm}^2$ とすればよい。不純物としては、例えばPを用いることができる。

【0034】次に、イオン注入法により、ゲート絶縁膜16に自己整合で不純物イオンを高濃度に導入し、この後、熱処理を行うことにより高濃度領域22bを形成する。加速電圧は例えば10keV、ドーズ量は例えば $1.5 \times 10^{15} \text{ ion/cm}^2$ とすればよい。不純物としては、例えばPを用いることができる。こうして、低濃度領域22aと高濃度領域22bとよりソース/ドレ

イン領域22が構成されることとなる(図5(c)参照)。

【0035】次に、全面に、プラズマCVD法により、膜厚40nmのシリコン酸化膜、膜厚370nmのシリコン窒化膜を順次形成し、シリコン酸化膜とシリコン窒化膜より成る層間絶縁膜24を形成する(図5(d)参照)。次に、フォトリソグラフィ技術により層間絶縁膜24をエッチングし、これによりソース/ドレイン領域22の高濃度領域22bに達するコンタクトホール26と、ゲート電極18表面の陽極酸化膜20に達する開口部(図示せず)とを形成する。層間絶縁膜24のシリコン窒化膜をエッチングする際には、 CF_4 ガス及び C_2F_4 ガスをエッチングガスとしたドライエッチングを用い、 CF_4 ガスの流量は50sccm、 O_2 ガスの流量は33sccmとし、エッチング室内の圧力は4Pa、パワーは1kWとすればよい。また、層間絶縁膜24のシリコン酸化膜をエッチングする際には、ウエットエッチングを用いることができ、エッチング液としては酢酸を含む緩衝フッ酸溶液、又は緩衝フッ酸溶液を用い、エッチング時間は例えば15秒とすればよい。

【0036】次に、開口部(図示せず)内に露出するゲート電極18表面の陽極酸化膜20を、ウエットエッチングによりエッチングする。エッチング液としては例えばクロムを含むリン酸系溶液を用いることができ、エッチング液の温度は例えば65 $^{\circ}\text{C}$ 、エッチング時間は例えば4分とすればよい。こうして、層間絶縁膜24に、ゲート電極18に達するコンタクトホール(図示せず)が形成されることとなる。

【0037】次に、全面に、スパッタ法により、膜厚100nmのチタン膜、膜厚200nmのアルミニウム膜、及び膜厚100nmのチタン膜を順次形成することにより、これらの膜より成る積層膜を形成する。次に、フォトリソグラフィ技術により積層膜をパターニングし、コンタクトホール26を介してソース/ドレイン領域22bに接続されるソース/ドレイン配線28、及びコンタクトホール(図示せず)を介してゲート電極18に接続されるゲート配線(図示せず)を形成する。エッチングガスとしては BCl_3 ガス及び Cl_2 ガスを用いることができる。エッチング条件としては、例えば、 BCl_3 ガスの流量を90sccm、 Cl_2 ガスの流量を60sccm、エッチング室内の圧力を10Pa、パワーを1kWとすることができる(図6参照)。

【0038】このようにして本実施形態による薄膜トランジスタを製造することができる。このように、本実施形態によれば、異方性が低い条件でチャンネル層をエッチングするため、チャンネル層の端部の断面をテーパ状に形成することができ、これによりゲート絶縁膜のステップカバレッジを良好にすることができる。また、異方性の低い条件でチャンネル層をエッチングするため、エッチングによるチャンネル層の端部近傍領域へのダメージを小さ

くすることができる。ゲート絶縁膜のステップカバレッジを良好にすることができ、また、チャネル層の端部近傍領域へのダメージを小さくすることができるので、チャネル層の端部近傍領域においてリーク電流が多く流れてしまうのを防止することができ、これにより良好なドレイン電流 I_D -ゲート電圧 V_G 特性を有する薄膜トランジスタを製造することができる。

【0039】[変形実施形態] 本発明は上記実施形態に限らず種々の変形が可能である。例えば、上記実施形態では、LDD構造を有する薄膜トランジスタを例に説明したが、LDD構造を有する薄膜トランジスタに限定されるものではなく、LDD構造を有しない薄膜トランジスタにも適用することができる。

【0040】また、上記実施形態では、薄膜トランジスタを例に説明したが、薄膜トランジスタのみならず、あらゆる半導体装置に適用することが可能である。

【0041】

【発明の効果】以上の通り、本発明によれば、チャネル層の端部の断面がテーパ状に形成されているので、ゲート絶縁膜のステップカバレッジを良好にすることができる。また、異方性の低い条件で半導体層をエッチングしてチャネル層を形成するため、エッチングによるチャネル層の端部近傍領域へのダメージを小さくすることができる。ゲート絶縁膜のステップカバレッジを良好にすることができ、また、チャネル層の端部近傍領域へのダメージを小さくすることができるので、チャネル層の端部近傍領域においてリーク電流が多く流れてしまうのを防止することができ、これにより良好なドレイン電流 I_D -ゲート電圧 V_G 特性を有する薄膜トランジスタを提供することができる。

【図面の簡単な説明】

【図1】本発明の一実施形態による薄膜トランジスタを示す断面図である。

【図2】本発明の一実施形態による薄膜トランジスタのOBIC電流分布を示す概念図である。

【図3】本発明の一実施形態による薄膜トランジスタのドレイン電流 I_D -ゲート電圧 V_G 特性を示すグラフであ

る。

【図4】本発明の一実施形態による薄膜トランジスタの製造方法を示す工程断面図(その1)である。

【図5】本発明の一実施形態による薄膜トランジスタの製造方法を示す工程断面図(その2)である。

【図6】本発明の一実施形態による薄膜トランジスタの製造方法を示す工程断面図(その3)である。

【図7】従来の薄膜トランジスタを示す断面図である。

【図8】従来の薄膜トランジスタのドレイン電流 I_D -ゲート電圧 V_G 特性を示すグラフである。

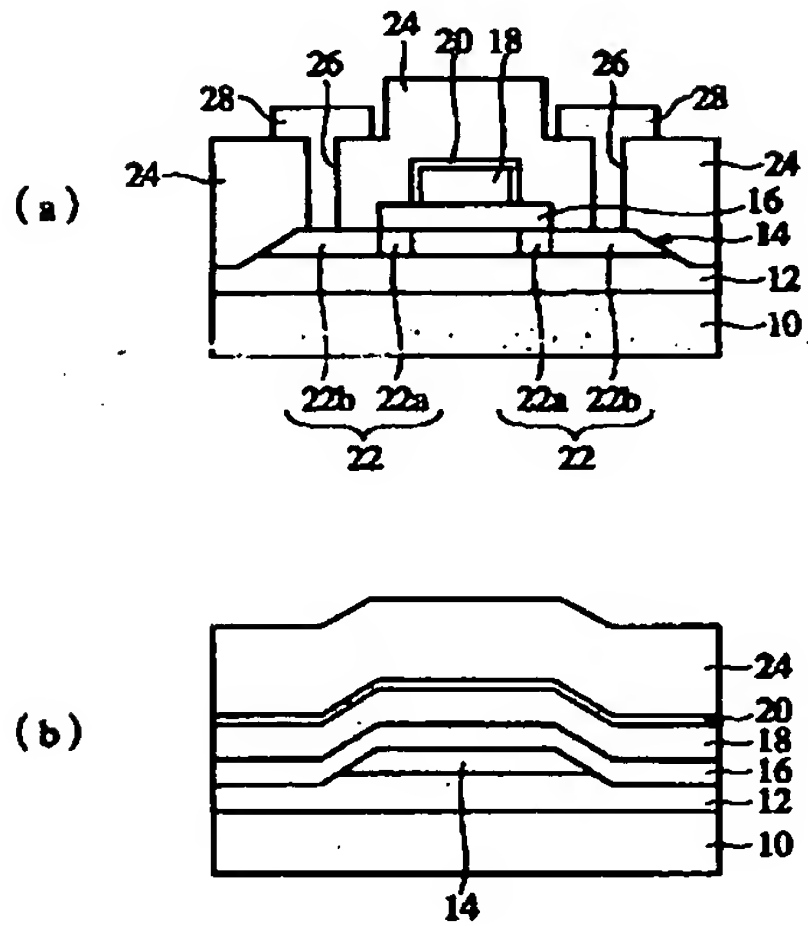
【図9】従来の薄膜トランジスタのOBIC電流分布を示す概念図である。

【符号の説明】

- 10…ガラス基板
- 12…シリコン酸化膜
- 14…チャネル層
- 16…ゲート絶縁膜
- 18…ゲート電極
- 20…陽極酸化膜
- 22…ソース/ドレイン領域
- 22a…低濃度領域
- 22b…高濃度領域
- 24…層間絶縁膜
- 26…コンタクトホール
- 28…ソース/ドレイン電極
- 30…フォトリソマスク
- 110…ガラス基板
- 112…シリコン酸化膜
- 114…チャネル層
- 116…ゲート絶縁膜
- 118…ゲート電極
- 122…ソース/ドレイン領域
- 122a…低濃度領域
- 122b…高濃度領域
- 124…層間絶縁膜
- 126…コンタクトホール
- 128…ソース/ドレイン電極

【図1】

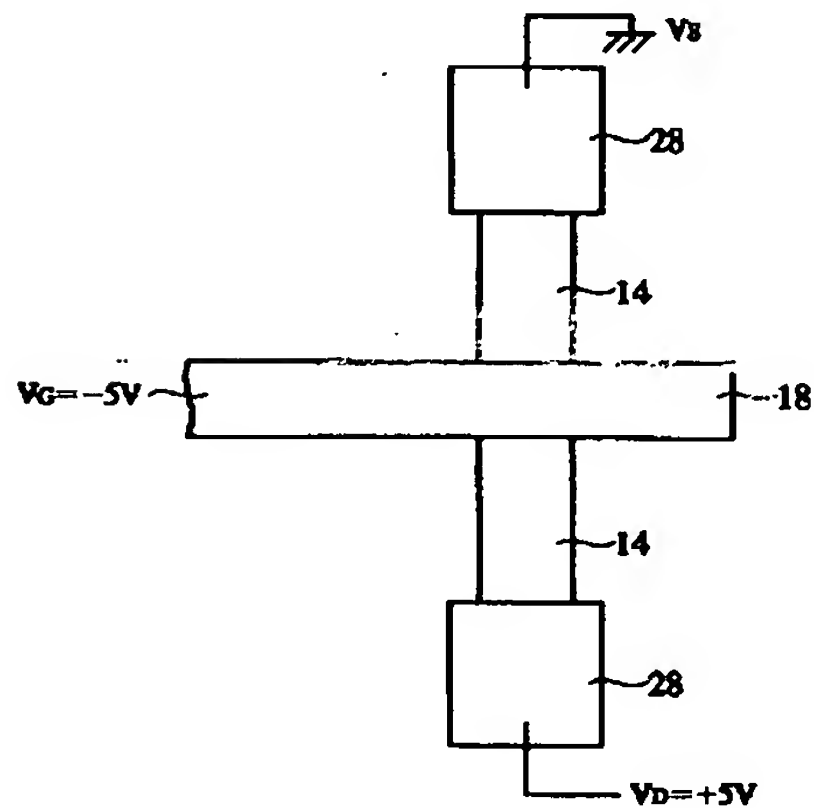
本発明の一実施形態による薄膜トランジスタを示す断面図



10…ガラス基板
12…シリコン酸化膜
14…チャネル層
16…ゲート絶縁膜
18…ゲート電極
20…陽極酸化膜
22…ソース/ドレイン領域
22a…低濃度領域
22b…高濃度領域
24…層間絶縁膜
26…コンタクトホール
28…ソース/ドレイン電極

【図2】

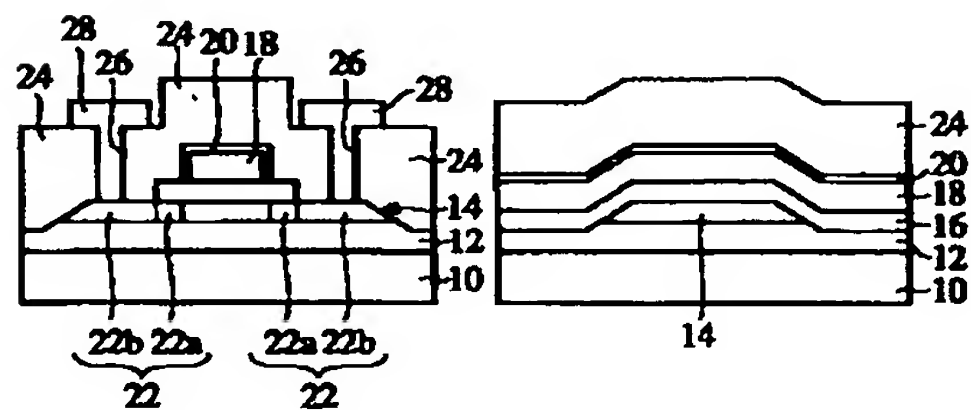
本発明の一実施形態による薄膜トランジスタのOBIC電流分布を示す概念図



14…チャネル層
18…ゲート電極
28…ソース/ドレイン電極

【図6】

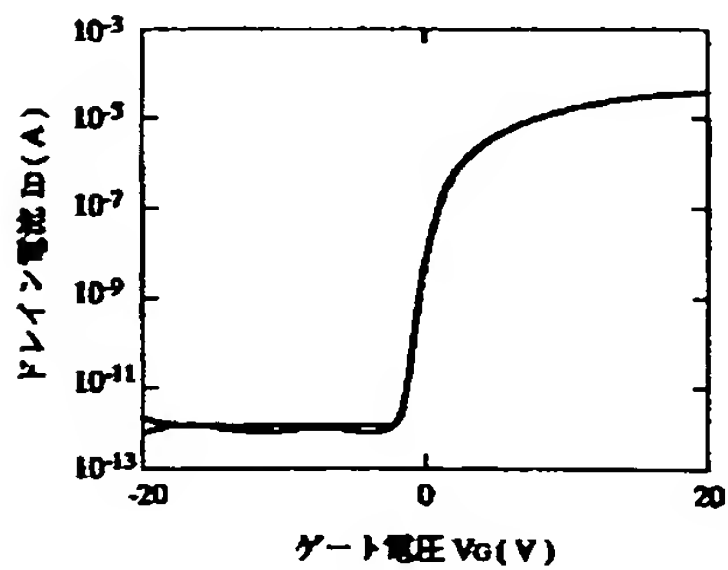
本発明の一実施形態による薄膜トランジスタの製造方法を示す工程断面図(その3)



26…コンタクトホール
28…ソース/ドレイン電極

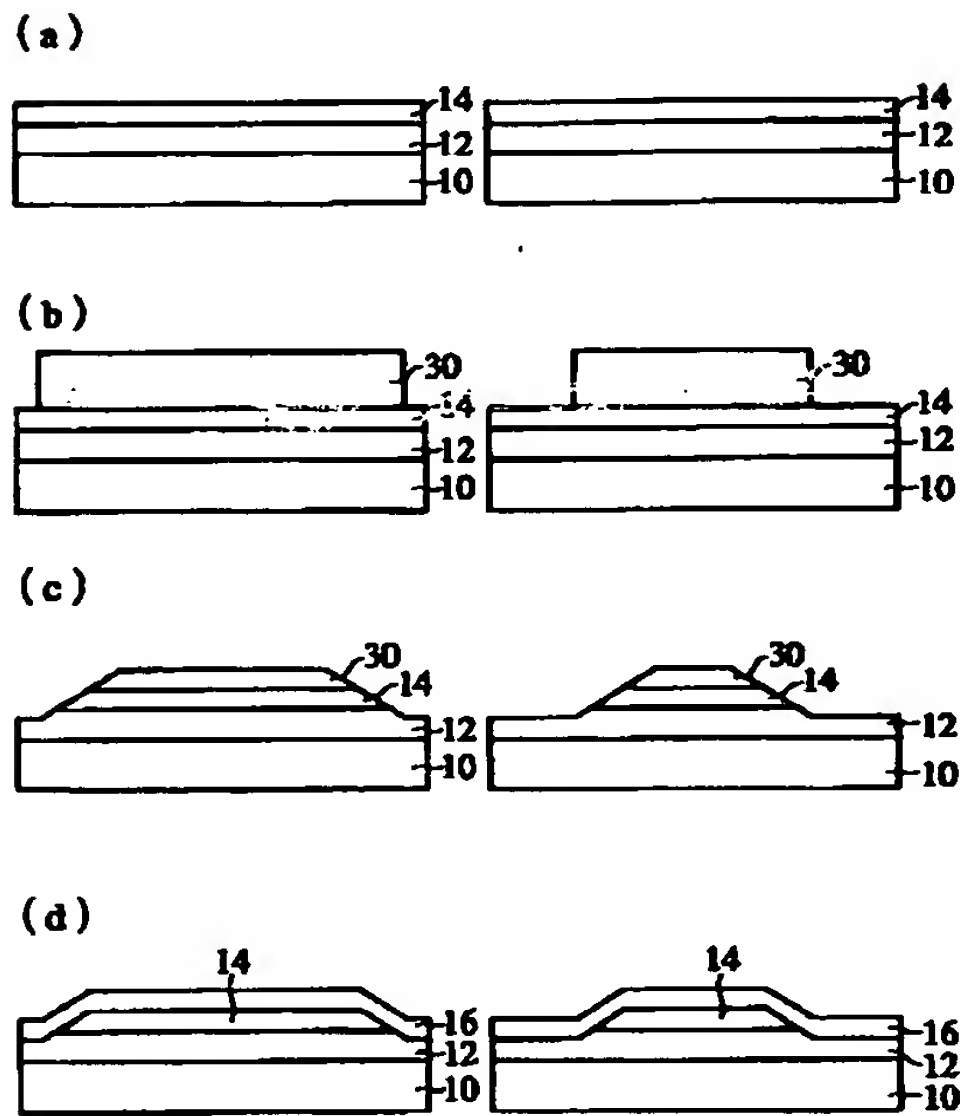
【図3】

本発明の一実施形態による薄膜トランジスタのドレイン電流 I_D -ゲート電圧 V_G 特性を示すグラフ



【図4】

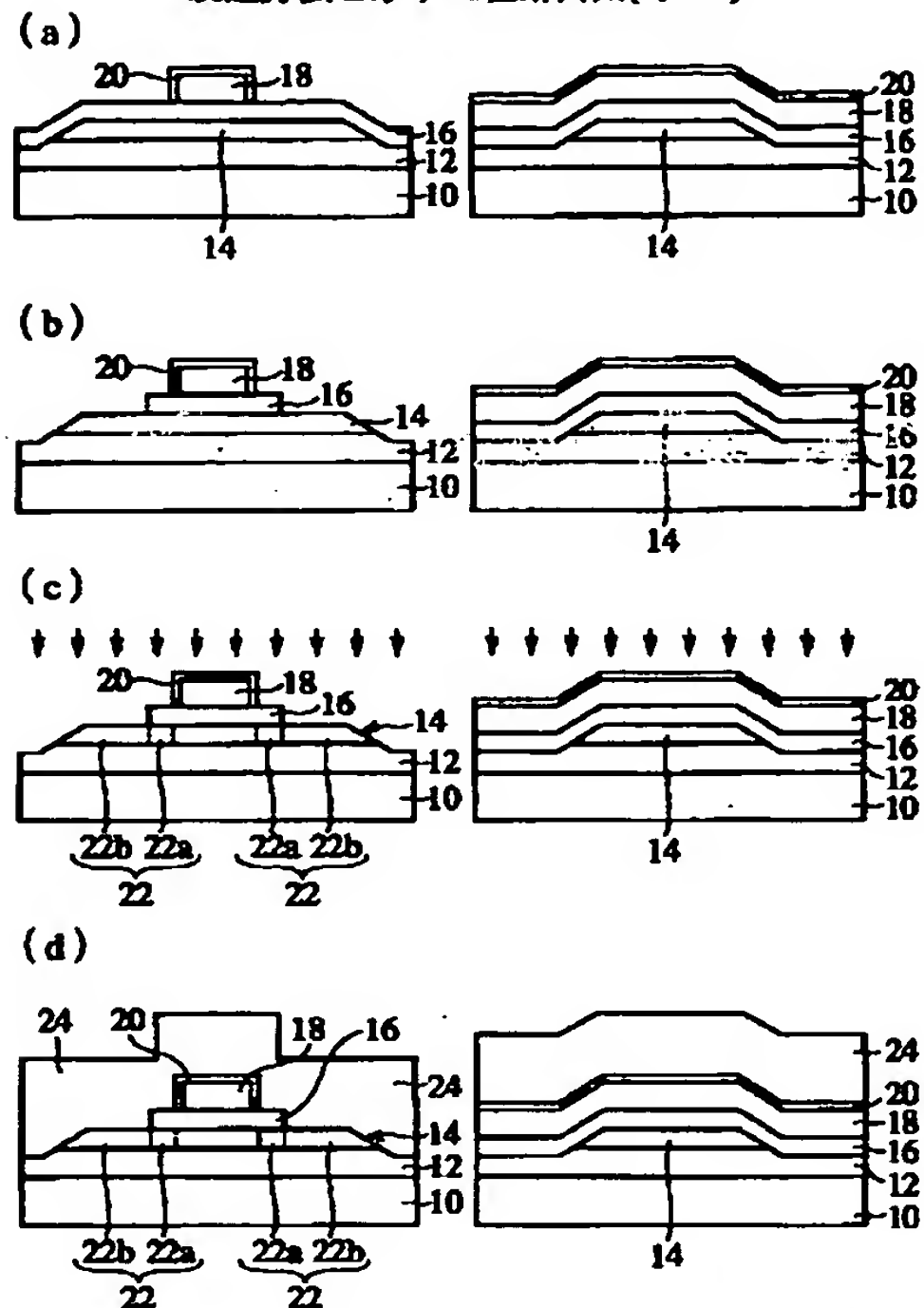
本発明の一実施形態による薄膜トランジスタの
製造方法を示す工程断面図(その1)



10…ガラス基板
12…シリコン酸化膜
14…チャネル層
16…ゲート絶縁膜
30…フォトリソマスク

【図5】

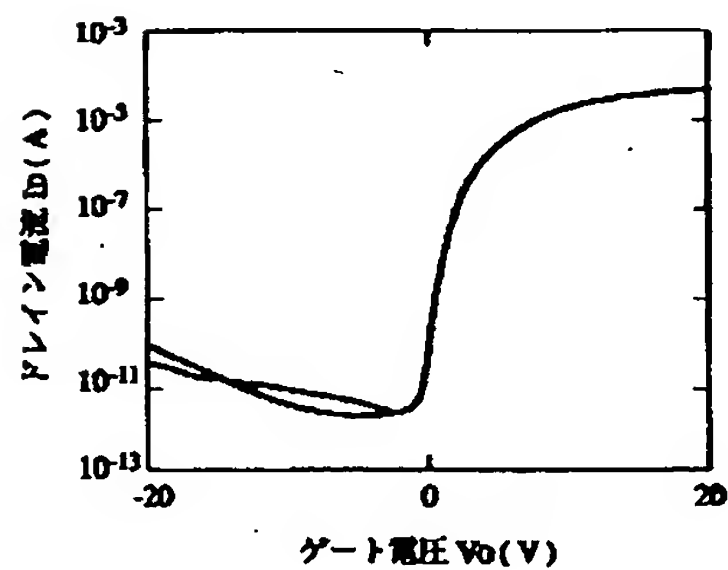
本発明の一実施形態による薄膜トランジスタの
製造方法を示す工程断面図(その2)



18…ゲート電極 22…ソース/ドレイン領域 22b…高濃度領域
20…陽極酸化膜 22a…低濃度領域 24…層間絶縁膜

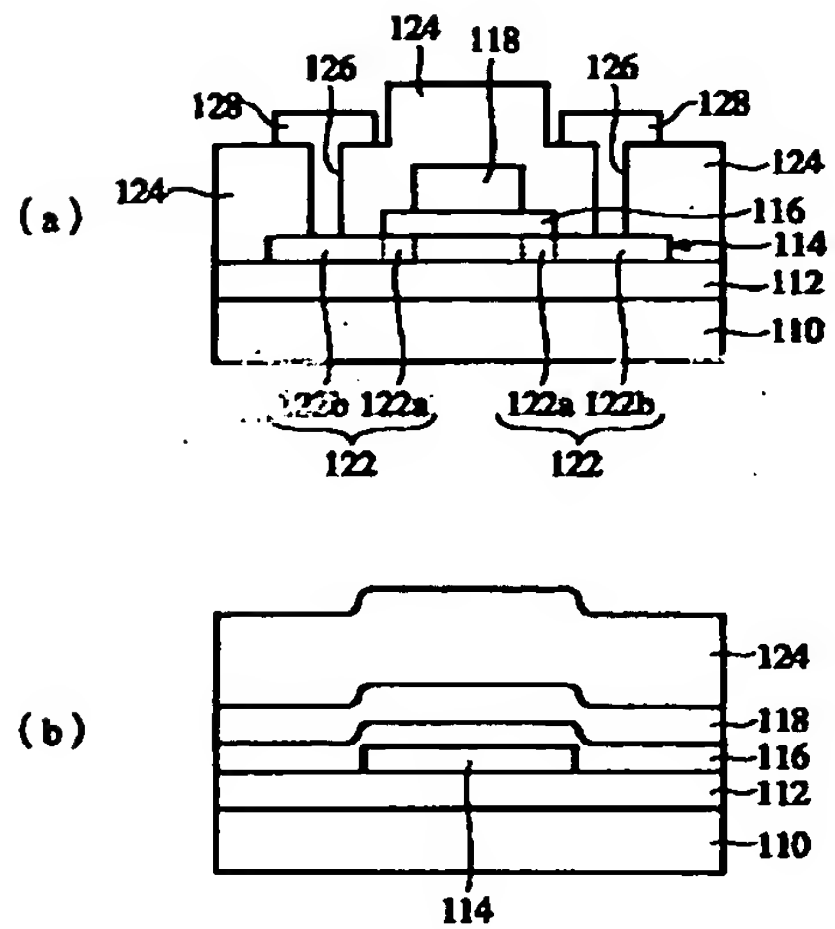
【図8】

従来の薄膜トランジスタのドレイン電流
 I_D -ゲート電圧 V_G 特性を示すグラフ



【図7】

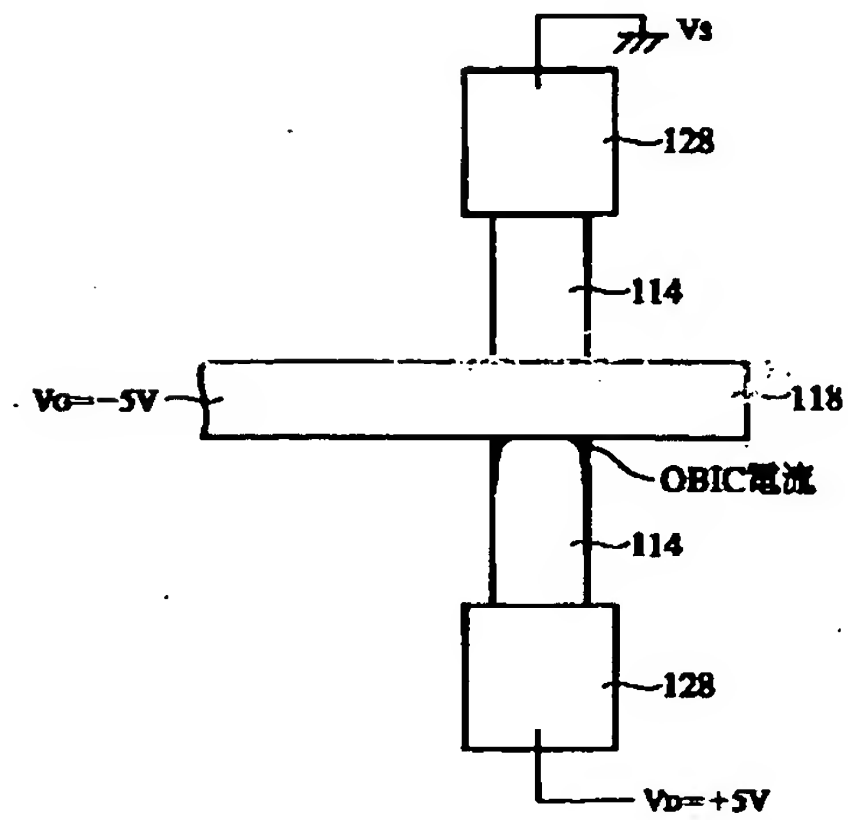
従来の薄膜トランジスタを示す断面図



110…ガラス基板
112…シリコン酸化膜
114…チャネル層
116…ゲート絶縁膜
118…ゲート電極
122…ソース/ドレイン領域
122a…低濃度領域
122b…高濃度領域
124…層間絶縁膜
126…コンタクトホール
128…ソース/ドレイン電極

【図9】

従来の薄膜トランジスタのOBIC電流分布を示す概念図



114…チャネル層
118…ゲート電極
128…ソース/ドレイン電極

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the thin film transistor by 1 operation gestalt of this invention.

[Drawing 2] It is the conceptual diagram showing the OBIC current distribution of the thin film transistor by 1 operation gestalt of this invention.

[Drawing 3] It is the graph which shows the drain current ID-gate voltage VG property of the thin film transistor by 1 operation gestalt of this invention.

[Drawing 4] It is the process sectional view (the 1) showing the manufacture approach of the thin film transistor by 1 operation gestalt of this invention.

[Drawing 5] It is the process sectional view (the 2) showing the manufacture approach of the thin film transistor by 1 operation gestalt of this invention.

[Drawing 6] It is the process sectional view (the 3) showing the manufacture approach of the thin film transistor by 1 operation gestalt of this invention.

[Drawing 7] It is the sectional view showing the conventional thin film transistor.

[Drawing 8] It is the graph which shows the drain current ID-gate voltage VG property of the conventional thin film transistor.

[Drawing 9] It is the conceptual diagram showing the OBIC current distribution of the conventional thin film transistor.

[Description of Notations]

10 -- Glass substrate

12 -- Silicon oxide

14 -- Channel layer

16 -- Gate dielectric film

18 -- Gate electrode

20 -- Oxide film on anode

22 -- The source / drain field

22a -- Low concentration field

22b -- High concentration field

24 -- Interlayer insulation film

26 -- Contact hole

28 -- The source / drain electrode

30 -- Photoresist mask

110 -- Glass substrate

112 -- Silicon oxide

114 -- Channel layer

116 -- Gate dielectric film

118 -- Gate electrode

122 -- The source / drain field

122a -- Low concentration field
122b -- High concentration field
124 -- Interlayer insulation film
126 -- Contact hole
128 -- The source / drain electrode

[Translation done.]